

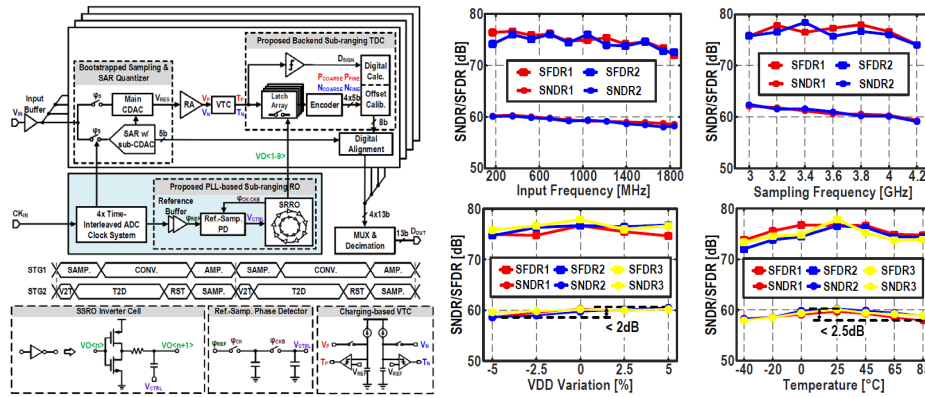
VLSI 2026 Review

울산과학기술원 전기및전자공학부 석박통합과정 홍기업

Session 17: High Speed ADCs

올해 2026 IEEE VLSI Symposium on Technology and Circuits의 Session C17은 High-Speed ADCs라는 주제로 총 5편의 논문이 발표되었다. 본 세션에서는 time-interleaved pipelined ADC, noise-shaping pipelined ADC, TI-SAR ADC, pipelined-SAR ADC 등 다양한 고속 ADC 구조가 다루어졌으며 수 GS/s 수준의 높은 sampling rate를 확보하면서도 해상도와 전력 효율을 유지하기 위한 회로 기법들이 제안되었다. 이를 통해 최근 high-speed ADC 연구가 단순히 sampling rate를 높이는 것에 그치지 않고, time-domain processing과 parallelization을 적극 활용하여 conversion 및 residue-processing latency를 줄이는 동시에 background calibration과 PVT-robust 회로 기법을 통해 고속 동작에서의 정확도 저하를 최소화하고, residue amplification 및 reference 회로의 전력 부담까지 줄이는 방향으로 발전하고 있음을 확인할 수 있다.

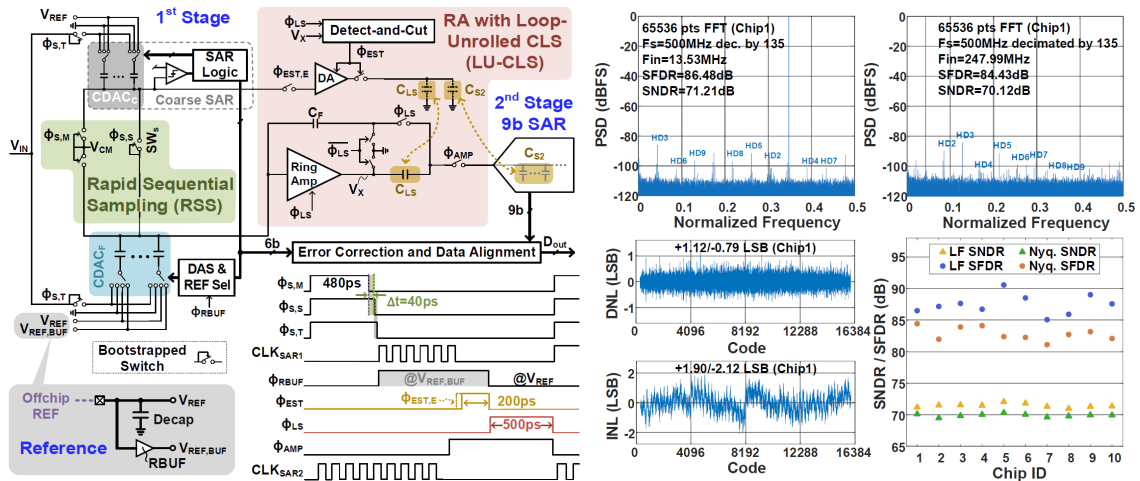
#17.1 University of Macau와 UM Hetao IC Research Institute에서 발표한 논문으로 PLL-based sub-ranging RO-TDC를 backend로 사용하는 12-bit 4-GS/s time-interleaved pipelined ADC를 제안하였다. 기존 RO-based TDC는 높은 hardware efficiency를 가지지만 oscillator frequency가 PVT variation에 직접 영향을 받아 time resolution이 변화하고 resolution과 dynamic range 사이에 trade-off가 존재한다. 본 연구에서는 2-GHz coarse RO와 12-GHz fine RO를 결합한 sub-ranging 구조를 사용하여 coarse RO로 넓은 input range를 확보하고 fine RO를 통해 4.63-ps의 높은 time resolution을 구현하였다. 또한 두 RO를 reference-sampling PLL 내부에서 동작시켜 oscillator frequency를 ADC reference clock에 지속적으로 locking함으로써 PVT 변화에 따른 TDC resolution 변화를 억제하였다.



[그림1] System architecture of proposed ADC (top) and measured SNDR and SFDR performance

전체 ADC는 4-channel time-interleaved pipelined-SAR 구조로 구성된다. 1st-stage의 5-bit ping-pong SAR quantizer가 입력을 우선 양자화한 뒤 CDAC에서 voltage residue를 생성하고, 이를 floating-inverter amplifier로 증폭한 후 VTC를 통해 time-domain signal로 변환하여 8-bit sub-ranging TDC에서 나머지 양자화를 수행한다. 또한 coarse/fine RO 사이의 phase offset 및 cross-boundary error는 background digital calibration을 통해 보정하여 별도의 calibration cycle 없이 고속 동작을 유지한다. 결과적으로 본 연구는 PLL locking과 sub-ranging time-domain quantization을 결합하여 고속 ADC의 PVT robustness와 resolution을 동시에 확보한 구조라고 볼 수 있다.

#17.4 University of Macau에서 발표한 논문으로 loop-unrolled correlated level shifting (LU-CLS)과 rapid sequential sampling (RSS)을 적용한 14-bit 500-MS/s pipelined-SAR ADC를 제안하였다. Pipelined-SAR ADC는 높은 energy efficiency를 갖지만 high-speed 동작에서는 1st-stage SAR conversion에 많은 시간이 소요되어 residue amplifier의 amplification 및 settling time이 크게 제한된다. 특히 기존 correlated level shifting (CLS)은 residue를 먼저 estimation하는 EST phase와 실제 level shifting을 수행하는 LS phase가 순차적으로 동작하기 때문에 amplification time이 추가로 필요하다. 본 연구에서는 coarse SAR의 residue를 미리 활용하는 별도의 estimation path를 구성하여 EST를 기존 amplification interval에서 분리한 LU-CLS 구조를 제안하였다. 이를 통해 CDACF settling과 EST를 병렬로 수행할 수 있으며, 충분한 EST time을 확보하면서도 LS time을 감소시키지 않아 기존 CLS 대비 8 dB 이상의 SDR 향상을 달성한다. 또한 detect-and-cut loop를 적용하여 estimation gain error를 보정함으로써 별도의 background gain calibration 없이 높은 residue amplification accuracy를 확보한다.

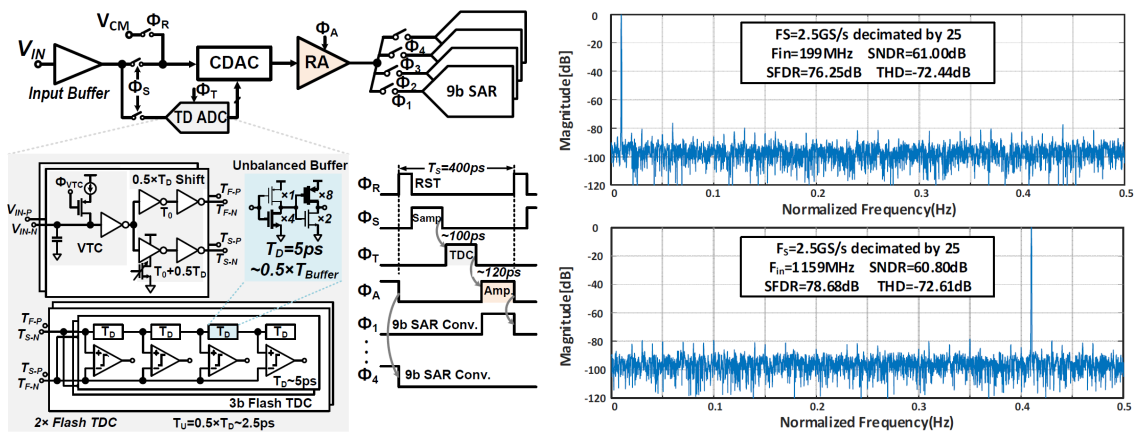


[그림2] Proposed Pipelined-SAR ADC architecture and LU-CLS/RSS operation [좌]

Measured dynamic performance at 500 MS/s [우]

한편 coarse SAR의 CDACC와 fine CDACF 사이에는 sampling timing과 bandwidth mismatch에 의해 sampling error가 발생하며, 이는 high-frequency input에서 residue swing을 증가시켜 EST accuracy를 저하시킬 수 있다. 이를 해결하기 위해 RSS를 적용하여 sampling 직후 두 CDAC 사이에서 rapid charge sharing을 수행함으로써 coarse/fine sampling mismatch를 10배 이상 감소시켰다. 또한 ring amplifier에는 interstage negative capacitor (I-NC)를 적용하여 non-dominant pole을 높은 주파수로 이동시키고 settling speed와 phase margin을 개선하였으며, worst PVT corner에서 settling time을 300 ps 이상 단축하였다. Reference 회로에는 dynamic-buffer-assisted reference (DBAR)를 적용하여 quantization과 CDACF settling 동안에만 reference buffer를 동작시킴으로써 reference accuracy를 유지하면서 buffer power와 decap size를 감소시켰다. 결과적으로 본 연구는 LU-CLS를 통해 residue amplification의 time overhead를 줄이고, RSS-I-NC-DBAR를 함께 적용하여 sampling mismatch, amplifier settling 및 reference 부담을 개선함으로써 high-resolution과 high-speed 동작을 동시에 구현한 pipelined-SAR ADC라고 정리할 수 있다.

#17.5 University of Macau와 UM Hetao IC Research Institute에서 발표한 논문으로 dual-zero-compensation ring amplifier를 적용한 12-bit 2.5-GS/s pipelined-SAR ADC를 제안하였다. High-speed pipelined ADC의 residue amplifier에서는 높은 gain과 large output swing을 유지하면서 bandwidth를 증가시키는 것이 어렵다. 기존 deadzone 기반 ring amplifier는 높은 gain과 안정성을 확보할 수 있지만 bandwidth가 제한되며, critically damped 구조는 bandwidth를 높이는 대신 gain과 linearity가 저하되는 trade-off가 존재한다. 본 연구에서는 이러한 문제를 해결하기 위해 두 개의 feedforward path를 이용하여 left-half-plane zero를 형성하는 dual-zero-compensation 구조를 제안하였다.



[그림3] Two-stage Pipelined ADC architecture and time domain sub-ADC [좌]
Measured dynamic performance at 2.5GS/s [우]

제안된 방식은 pole 위치 자체를 크게 변경하기보다 zero를 이용해 phase margin을 보상하여 ring amplifier의 높은 gain과 output swing을 유지하면서 bandwidth를 향상시킨다. 또한 pole과 zero가 PVT 변화에 따라 함께 이동하도록 설계하여 compensation robustness를 확보하였으며, 제안된 amplifier는 약 120 ps의 settling time에서 8x amplification, 40 dB DC gain 및 55 GHz UGB를 달성하였다. 전체 ADC는 two-stage pipelined-SAR 구조로 구성된다. 결과적으로 본 연구는 zero compensation을 통해 ring amplifier의 gain-bandwidth trade-off를 완화하고 이를 고속 pipelined ADC에 적용한 연구라고 정리할 수 있다.

저자정보



홍기업 석박사통합과정 대학원생

- 소속 : 울산과학기술원
- 연구분야 : 센서디자인, 혼성회로설계
- 이메일 : slsnsep357@unist.ac.kr
- 홈페이지 : <https://sites.google.com/view/bias-sogang/home>